



(4,000円)

特 許 願 (A)

昭和50年10月8日

特許庁長官 殿

発明の名称 半導体装置の製造方法

発 明 者

東京都国分寺市東恋ヶ窪1丁目280番地
株式会社 日立製作所中央研究所内

氏 名 本間 喜夫

特許出願人

東京都千代田区丸の内一丁目5番1号
株式会社 日立製作所
代表者 吉山 博吉

代 理 人

東京都千代田区丸の内一丁目5番1号
株式会社 日立製作所内
電話東京 270-2111(大代表)
氏名 (7237) 介屋 売田 利幸

⑯ 日本国特許庁

公開特許公報

⑪特開昭 52-49772

⑬公開日 昭52.(1977) 4.21

⑫特願昭 50-125752

⑭出願日 昭50.(1975) 10.18

審査請求 未請求 (全9頁)

序内整理番号

7113 57
7210 57

⑯日本分類

99(5)C3
99(5)H0⑮Int.CI²H01L 21/302
H01L 21/88

識別記号

明細書

発明の名称 半導体装置の製造方法

特許請求の範囲

表面に凹凸面を有する半導体基板上に該半導体基板と同程度のエッチング速度を持つ塗布被膜を形成し前記凹凸面を平坦化する工程、該半導体基板を上記塗布被膜が溶融しない温度で保ちながらイオンを用いた物理的エッチング法によってエッチングし上記塗布被膜と凹凸面の少なくとも一部を同時に除去し、該半導体基板表面を平坦化する工程を含むことを特徴とする半導体装置の製造方法。

発明の詳細な説明

本発明は、半導体装置を製造する過程で、凹凸面を有する基板表面に対して平坦化加工を施すための製造方法に関するものである。

従来より半導体基板を用いて半導体装置を製造する場合、半導体基板へは、不純物拡散、絶縁層形成、ホトエッチングによる表面加工等の処理を施す。これらの処理を経る間に、基板表面は隆起

部を有したり、階段状の断面（以下、両者を共に凹凸面と呼ぶ。）を有することとなる。また、基板上に隆起した導体層、たとえば配線金属層、を形成した場合、基板は当然凹凸面を有することとなる。こうした凹凸面上に第2、第3の層を積層した多層構造体を製造する際、上部に形成される層は、凹凸面の外形に従がって凹凸面を有することとなる。そして上部に形成される層は厚みが均一にならず、また甚だしい場合は断切れたりすることが多い。このことはこの形成された層の信頼性を著しく低下させる。従来は、半導体基板上のこのような凹凸面を除去する有効な方法はなかった。一般には形成する層を厚くする等の方法で必要最小限の信頼性を確保しているのが実状である。

半導体基板への不純物拡散の技術を例にとって、本発明によって解決されるべき問題を具体的に示す。半導体基板への絶縁層形成、および配線金属による凹凸面の例については、実施例でその問題点を指摘する。

勿論、本発明が、これらの具体例に限らず、半導体装置の製造の際、基板が凹凸面を有した場合、これを平坦化するのに適用できることはいうまでもない。

さて近年半導体装置の製造方法において、ブレーナ技術が採用されている。これは板状の平坦な Si 基板に対し、Si 酸化膜と写真製版技術を用いて片面から任意の不純物を拡散し半導体装置を製造する方法である。

第1図はブレーナ技術を用いた半導体集積回路において、その製造工程の概略を示している。トランジスターを例にしたものである。

第1図(a)は分離拡散工程を示す。

たとえば p 形導電性を有する Si 基板 1 上に熱酸化法等により、Si 基板とは逆の導電性を有する N 型 Si 層 2 を設ける。さらに Si 基板 1 の表面 9 に熱酸化法等によって Si 酸化膜 4 を形成し、写真製版技術によって Si 酸化膜 4 の一部を除去し、その部分に Si 基板 1 と同じ導電性を有する分離拡散領域 3 を設けたものである。この時、同時に

前記分離拡散領域 3 の上に、Si 酸化膜 4 が生成される。

第1図(b)はベース拡散工程を示す。Si 酸化膜 4 の一部を写真製版技術によって除去し、その部分に Si 基板 1 と同じ導電性を有する拡散領域 5 を設けたものである。その際に前記拡散領域 5 の上に Si 酸化膜が生成される。

第1図(c)はエミッタ拡散工程を示す。Si 酸化膜 4 の一部を写真製版技術によって除去し、その部分に Si 層 2 と同じ導電性を有する拡散領域 6 を設けたものである。その際、同時に Si 酸化膜 4 が生成される。

第1図(d)は Si 酸化膜 4 の一部を写真製版技術によって除去し、そして真空蒸着法等によってアルミニウム等の金属を付着させ、電極配線 7 を行なった状態を示している。

このようなブレーナ技術は、Si 酸化膜を用いた選択拡散の連続した工程を含んでいる。この選択拡散を行なうためには、その度毎に、Si 酸化膜の生成が必要である。このため、どうしても第

1 図(c)の様に半導体基板表面の断面は階段状の構造になってしまふ。この様な凹凸面を持つ基板表面は電極配線の時に断線の原因として大きな問題となる。即ち階段状酸化膜の角の部分 8 では金属配線層 7 は薄くなり、断線事故をおこす原因となる。半導体装置の信頼性に係わる問題点である。

この問題の解決に金属蒸着源を複数個設けたり、階段状断面の Si 酸化膜 4 に傾斜をつけるため、写真製版時のエッチング液、エッチング方法の改良を行なったりしているが、いまだ十分満足な結果をもたらすに至っていない。またホトエッチング工程におけるホトレジスト露光において段差部からの光の反射によってパターン精度の低下が著しく、集積度向上をはげむ原因となる。

また一方配線金属上に設置する絶縁層の断切れの対策には逆スパッタ法により絶縁層の隆起部を直接除去して表面を平坦化する方法も提案されてはいる。たとえば、米特許出願番号 375008 号の明細書に開示されている方法である。しかしこの方法は長時間を必要とし、多くの場合完全な

平坦化を非実際的なものとしている。たとえば 10 ~ 40 μm の巾を有する通常の二酸化シリコン層の平坦化に約 1 日の RF スパッタを行なう必要がある。従って半導体集積回路製造の産業において、この方法を採用することは実際的でない。

本発明の目的は、以上述べたような半導体基板表面の各種の凹凸面を除去もしくは実用上問題を生じない程度に著しく減少させる方法を提供するものである。

本発明の第1の効果は半導体基板表面上に形成する各層の信頼性を向上させると同時に半導体装置の信頼性を向上させることである。たとえ各層の厚さの不均一あるいは断切れを防止することができる。

本発明の第2の効果は半導体基板表面上に形成する半導体装置のより小型化を可能にするものである。たとえば金属配線膜の膜厚、配線間隔、配線巾を減少することが可能となる。具体的に例を述べると信頼性を考慮すると 0.5 μm 位の段差を有する基板上では、Al 等の配線金属厚は 0.8 ~

1 μ必要であるのに対し、平坦な基板表面を形成するとその厚さは0.5 μ程度で十分となる。従って微細加工の精度も1.5倍程度向上する。

従がって、本発明は近年急速に開発されつつあるプレーナ型もしくはセミプレーナ型の各種配線構造体の製造に際して特に有用なものである。

本発明の製造方法の骨子を、第2図を用いて説明する。

まず、凹凸面を有する半導体基板21の表面に塗布層23を形成する。第2図(a)は、この塗布層23の形成された状態を示すものである。C部は隆起部、D部は段差部である。

塗布層23に供する塗布材料は、塗布時には液体状(分散溶液をも含む)であり、かつ固体化した時、半導体基板21のエッティング速度と同程度のエッティング速度を有する材料を使用する。塗布材料を凹凸面の有する半導体基板表面に塗布すると、液体状であるので凹凸面にそって侵入し、滑らかな表面を呈して、凹凸面の形状を緩和してしまう。このようにして半導体基板21の表面は平

塗布材料の特性は上記したとおりであるが、考慮すべき点が一・二ある。

半導体基板の表面を形成する材料としては、シリコン(Si)、シリコン酸化物(SiO₂)、phosphor silicate glass(PSG)、Boron silicate glass(BSO)、シリコン窒化物(Si₃N₄)、配線金属たとえばAlが一般的に考えられる。

まずこれら半導体基板の表面を形成する材料と塗布層とが同程度のエッティング速度を持つ必要がある。このエッティング速度の差は、発明の目的からして小さいほうが好ましいことは当然である。しかし塗布材料のエッティング速度が、半導体基板のエッティング速度に対し約±50%の差の範囲であれば実際上使用可能な範囲であり、±30%の範囲が特に好ましい範囲である。

たとえばエッティング速度の差が30%である場合を考えてみる。半導体基板の隆起部は0.7~1 μmの高さであることが多い。この隆起部に本発明を適用すると隆起部は0.2~0.3 μmの高さとすることができます。この程度の凹凸面は各社半導

特開昭52-49772(3)
塗化される。塗布材料に乾燥や硬化等を施して固体化し、塗布層23を形成する。塗布材料は乾燥や硬化時の応力が少なく少なくとも段差の高さと同程度以上の厚さに塗布できることが必要である。なお、塗布材料については後に詳述する。

次に、このような半導体基板21の表面をエッティングする。エッティング方法はイオンを用いた物理的エッティング方法を使用する。

まず塗布層23の上面が除去され、次いで第2図(b)に示す如く塗布層23と共に半導体基板21の隆起部Cや段差部Dなども同時に除去される。

逆に第2図(c)に示すように塗布層23と半導体基板21の一部が除去され、半導体基板表面は平坦化される。

以後の工程は、半導体装置の最初の目的に応じて、従来の製造方法によれば良い。たとえば半導体基板21の表面に、真空蒸着法や化学蒸着法もしくはスパッタリング法によって形成層22を被着する。

以下、本発明の各工程について詳細に説明する。

本装置の基板面として実用上充分な平坦度ということが出来る。これらの具体的効果については後に実施例により言及する。

第2に考慮すべきことは塗布材料は乾燥・硬化時に塗布膜中に生ずる応力や歪が少なく、十分な厚さに塗布できることが必要である。現在市販されているシリカフィルム(Silica Film; Emulsitone社製など)は、塗布絶縁膜材料として知られているが、硬化時に発生する応力や歪が大きいためにたかだか0.2 μ厚にしか塗布できない。基板表面に存在する凹凸は0.5~1 μ程度の場合が多く、シリカフィルムによる表面平坦化の効果は不十分である。

以上の各点から検討した結果、次の様な材料が塗布材料として特に好ましいことが判明した。

- (1) ネカ型のフォトレジスト類、たとえば塗化ゴム系材料であるKTFR(Kodak社製、商品名)、KMEH(Kodak社製、商品名)、OMR(東京応化社製、商品名)、Waycote(Hunt社製)。

- (2) ポジ型のフォトレジスト類、たとえばノボラ

ック樹脂系材料であるAZ1350, AZ1350H, AZ111(いすれもShipley社製製品番号)。

- (3) 電子線用ポジ型レジスト類。たとえばポリメチルメタアクリレート(PMMA), ポリブテンサルファン。
- (4) 電子線用ネガ型レジスト類。たとえばエポキシ化ブタジエン、クリシジルメタクリレートとエチルアクリレートの共重合体およびこれらの重合体。
- (5) ポリイミド樹脂、PIQ樹脂(ポリイミドイソイソラキナゾリンジオン)
- (6) 塗布性の低融点カラス。たとえばIWF-T-020(岩城カラス社製、軟化点370°C, 融点420°C)

上に挙げた塗布材料のうちポリイミド樹脂、PIQ樹脂はSi基板に対して直接用いることが出来ない。これは、Siとこれらの樹脂とのねれ性および接着性が劣るためである。Si基板上のポリイミド樹脂、PIQ樹脂は平坦な面を形成しない。

オングリング法である。

塗布層が誘導体であるのでスパッターエッチ法は高周波スパッタ法を使用する。高周波スパッタ条件の好ましい範囲は以下の通りである。

高周波電力 : 0.1~10 W/cm² (実効的IC 0.1~5 W/cm²位までの電力範囲が好ましい。)
シース・ホテンシャル
(Sheath potential) : 2000 V以下

2000 V以上になると塗布層にビンホール等が発生し使用できない。
通常は700~1500 Vを用いている。また400 Vでは、エッチングは当然可能であるが要する時間が長くなる。

A_r圧 : $5 \times 10^{-2} \sim 1 \times 10^{-4}$ Torr

ただし酸素濃度は0.1%以下であることが必要である。これは、酸素が界面気に含まれていると、有機物である各種レジスト、樹脂のエッチング速度が増大し、逆に無機物質のそれは低下するため、基板の平坦化の

特開昭52-49772(4)
くい。Si基板に対してはねれ性や接着性およびエッチ速度の点でネガ型フォトレジスト類、ポジ型フォトレジスト類、電子線用ポジ型レジスト類、電子線用ネガ型レジスト類を用いることができるが、耐熱性とエッチ速度の点でポジ型フォトレジスト類が特に適している。

SiO_2 や Si_3N_4 、PSG、BSGによる凹凸に対しては上記材料のいずれをも用いることができるが、耐熱性と接着性やねれ性の点から、ネガ型フォトレジスト類とポリイミド樹脂、PIQ樹脂が特に有効である。

Alによる凹凸に対しては、上記材料のうち、エッチ速度の比較的大きいポジ型フォトレジストや電子線用ポジ型レジスト類、電子線用ネガ型レジスト類が有効である。

塗布材料を塗布する工程は、レジスト類はレジストの、樹脂は樹脂そのものの現在知られている方法に従って塗布層を形成すれば良い。

本発明に用いる、イオンを用いた物理的エッチング法の代表的な例はスパッタ・エッチ法とイ

ための制御が困難となる。

基板温度：塗布層が溶解しない温度に設定すれば良い。PIQ樹脂では450°C、ポリイミド樹脂では400°C、レジスト類では200~~~250~~0°C程度が上限である。下限は塗布層が低温硬化等によりクラック等が発生しなければ良い。通常は100°C~200°Cを多く用いている。

イオンシーリング法における適切な条件について述べる。

イオン・エネルギー : 20 eV~90 KeV
20 eV以下ではエッチングが効果的に行なわれず、90 KeV以上では基板損傷が大きく、平坦化のためエッチングには向きである。即ち高エネルギーのイオンの打込みに近い状態となってしまう。

平坦化する半導体基板の構成によって、条件は当然異なるが、低損傷

特開昭52-49772(5)

という点から 20 eV ~ 30 KeV がより適切なイオン・エネルギーの範囲である。エッティング時間および損傷の点から一般には 3 KeV ~ 10 KV の範囲を多く使用する。
 真空度: 1×10^{-4} ~ 1×10^{-5} Torr
 基板温度: スパッターエッティング法で述べた条件と同様である。通常 100 °C ~ 200 °C で使用する。
 電流密度: 0.5 ~ 5 mA/cm²
 電流密度はエッティング時間に関係なく平坦化を施す特性などには余り影響はない。
 第1表、第2表に各々高周波スパッタ法およびイオンシーリング法による各種の半導体基板材料、塗布材料のエッティング速度の例を示す。

第 1 表

材 料	エッティング速度比	エッティング条件
SiO ₂	1.0	エッティング法:
PSG(CVD法, B ₂ O ₃ 1.2%)	1.0	高周波スパッタ法
Si	1.2	装置: ULVAC
Si ₃ N ₄ (CVD法)	0.83	EPD-1型
Al	1 ~ 1.8	高周波電力:
Au	1.7 ~ 2.1	3 W/cm ² シース・ボテンシャル
KTFR	0.75 ~ 25	1080 V
KMER	0.75 ~ 20	Ar 壓:
AZ1350	0.7 ~ 1.0	5×10^{-3} Torr
AZ1350H	0.9 ~ 2.0	エッティング時間:
Waycole	1.2	30 ~ 100 min
ポリイミド樹脂	0.8	SiO ₂ のエッティング速度:
PIQ樹脂	0.8	127 Å/min 基板温度 約 300°C

第 2 表

材 料	エッティング速度比	エッティング条件
SiO ₂	1.0	エッティング法:
PSG(CVD法, B ₂ O ₃ 1.2%)	1.0	イオンシーリング法
Si	0.9	イオンエネルギー 1.0 KeV
Al	1.1 ~ 1.5	電流密度 1.0 mA/cm ² Ar 壓 5×10^{-5} Torr
KTFR	0.95	基板温度 ~ 300 °C
KMER	1.0	SiO ₂ エッティング速度 300 Å/min
AZ1350	1.5	
ポリイミド樹脂	1.0	
PIQ樹脂	1.0	
PMMA	2.1	

次に実施例によって本発明を具体的に説明する。

実施例 1

第3図はアイソ・ブレーナ・ディバイスの製造工程の概略を示す。

第3図(a)～(c)は一般に行なわれている工程である。

第3図(a)は Si 基板 3-1 上に薄い SiO₂ 膜 3-2 を形成し、さらに窒化シリコン(Si₃N₄)より成るマスク 3-5 を設置した状態を示す。Si₃N₄ マスク 3-5 は通常 Si₃N₄ 膜を、SiO₂ 膜によるマスクを用いて選択的にエッティング(たとえばフレオンカスを用いたプラズマエッティング法による。)することにより形成される。

第3図(b)は Si 基板 3-1 を、Si₃N₄ マスク 3-5 を使用して 3-6 の部分を部分的に除去する工程を示す。Si のエッティングは HF, HNO₃, 水の各々 1 : 4 : 4 混合液で良い。

第3図(c)は熱酸化法により Si 基板内に選択的に SiO₂ 層 3-4 を形成した状態である。熱酸化の条件は、乾燥した酸素中、約 1000 °C, 20 時間程度の条件である。この時選択的に形成された

SiO₂ 層の周辺部に隆起部 F が生ずる。これは Si より SiO₂ が生成される際、体積変化があるため生ずる現象であり、アイソ・ブレーナ技術ではさけ難い現象である。通常 F の高さは 0.5 ~ 1.2 μm 程度である。アイソ・ブレーナ技術では、間

隔をあいて並べられた SiO_2 膜と SiO_2 膜の間に、能動素子が形成される。

このような半導体基板に對し第3図(d)のごとく $1.5 \mu\text{m}$ 厚に塗布層33を形成する。この際、 Si_3N_4 マスク35はあらかじめ除去しておいたほうが好ましい。しかし Si_3N_4 マスク35をそのまま残します、次の工程を行なっても頭初の目的は達成される。

塗布材料はホトレジストKTR(Kodak社製、商品名)である。塗布材料をスピナー等によつて塗布する。膜厚の制御はスピナーの回転数の加減で自由に行なえる。

このようにして、塗布されたKTRは、公知の方法に従がつて処理し塗布層33とする。即ち約 70°C でのブリベーカ(予偏加熱)、紫外線露光、現像処理を経て、 $100^\circ\text{C} \sim 200^\circ\text{C}$ でボストペークする。塗布層33は SiO_2 膜34の凹面を埋めるように形成され、その表面は平坦化されている。

次にこのSi基板31に對しArガスを用いた高

周波スパッターエッティングを行なう。エッティング条件は高周波電力 2W/cm^2 、シースボテンシャル 700V 、Ar圧 $5 \times 10^{-3} \text{Torr}$ 、基板温度 150°C である。この時、エッティング速度は、 SiO_2 層は $1.5 \sim 2 \text{\AA/sec}$ 、KTRは $1.2 \sim 1.5 \text{\AA/sec}$ である。塗布材料の SiO_2 層に対するエッティング速度の差は平均値で約 15% で、ほぼ等しいとみて良い。従つて第3図(e)に示すようKTR基板31の表面は平坦なままでエッティングされる。約 190min のスパッターエッティングを行なうと第3図(f)に示すように塗布層33全体と SiO_2 膜34の隆起部Fが除去されて、Si基板31上の SiO_2 膜34の表面は平坦化される。

この上に、たとえば真空蒸着法によって導体層32が薄くなったり、切断したりする欠陥は存在しない。

このような半導体装置の信頼性向上の利点の外、次の様な利点も生ずる。

特開昭52-49772(6)

周波スパッターエッティングを行なう。エッティング条件は高周波電力 2W/cm^2 、シースボテンシャル 700V 、Ar圧 $5 \times 10^{-3} \text{Torr}$ 、基板温度 150°C である。この時、エッティング速度は、 SiO_2 層は $1.5 \sim 2 \text{\AA/sec}$ 、KTRは $1.2 \sim 1.5 \text{\AA/sec}$ である。塗布材料の SiO_2 層に対するエッティング速度の差は平均値で約 15% で、ほぼ等しいとみて良い。従つて第3図(e)に示すようKTR基板31の表面は平坦なままでエッティングされる。約 190min のスパッターエッティングを行なうと第3図(f)に示すように塗布層33全体と SiO_2 膜34の隆起部Fが除去されて、Si基板31上の SiO_2 膜34の表面は平坦化される。

この上に、たとえば真空蒸着法によって導体層32が薄くなったり、切断したりする欠陥は存在しない。

このような半導体装置の信頼性向上の利点の外、次の様な利点も生ずる。

従来は 0.5μ 程度の凹凸を有する基板上にAlなどの導体層を形成するときは、信頼性を考慮して配

1中に能動素子が形成されている。このように段差のあるSi酸化膜4上に導体配線を形成する場合、その信頼性は著しく低下する。そこでSi酸化膜上にKTR10を塗布してその表面を平坦にする。KTR10の厚さはSi酸化膜の段差と同等以上の厚さが望ましい。次に上述の高周波スパッタエッティングによって、KTR10およびSi酸化膜4の突起部を同時に除去し、平坦なSi酸化膜表面20を形成する。KTR10を除去すると直樹付近には小さな段差a(約 3000\AA)が残るが、段差がこのように小さい場合には、配線の信頼性に及ぼす影響は少なく、セミブレーナ型の配線が形成できる。

実施例2

ブレーナ型多層配線を形成する工程に本発明を適用した例を示す。

第5図(a)は半導体基板41の表面の SiO_2 膜44上にAlなどの金属第1層導体配線45を $0.5 \sim 1 \mu$ の厚さに形成し、この上に層間絶縁層46を $0.5 \sim 1.5 \mu$ の厚さに形成した一層配線を示す。

1はSi基板、4はSi酸化膜である。31基板

層間絶縁層46は SiO_2 （もしくはリンガラス（PSG）でも良い。）CVDを（Chemical Vapor Deposition）法によって被覆したものである。

次に第5図(b)に示すごとく、ポリイミド樹脂を用いて1~2μmの塗布層を形成する。塗布方法は回転塗布を用い、その硬化温度は N_2 ガス中で350°C, 1 hrである。

次にイオンアーリング法によってこの基板表面を約50min間、エッティングする。エッティング条件は次のとおりである。イオンはArイオンであり。

イオン・エネルギー：7KeV, イオン電流1.4mA/cm², 真空度 5×10^{-5} Torr, 基板温度150°Cである。この時Siおよび SiO_2 のエッティング速度は3~4Å/sec, ポリイミド樹脂のそれは4~4.5Å/secで、ほぼ両者は等しい。

第5図(c)は、このエッティングの途中の状態を示す。さらにエッティングを継続すると第5図(d)に示す状態となり、第1層導体配線45の上面が露出する。この面上に第2層導体配線層42を0.7~1.0μmを真空蒸着法により被覆しする。このよ

うにしてプレーナ型の2層配線が形成される。

また第5図(c)の状態でエッティングを終了して塗布層43を化学エッティングによって除去する。次いで層間絶縁層46の第1層導体配線45の上部にスルーホールを形成して第2層導体層を形成してセミプレーナ型の2層配線を形成しても良い。

以下このような、方法を繰り返してプレーナ型もしくはセミプレーナ型多層配線が形成される。本発明によって形成されるこれら多層配線は、従来方法による大きな段差を有する多層配線に比較し、接続密度信頼性において非常に優れている。

本実施例の他に、層間絶縁物46として Si_3N_4 、 Al_2O_3 などを用いた場合についても、前述した各種塗布材料を用いて、本発明の方法が適用できる。

また本実施例では、層間絶縁層46をエッティングする場合を説明した。本発明は第6図に示すようにこれと逆の材料構成にも適用できる。すなわち、基板51上に形成された絶縁層52に開口55が形成されている。この上に導体層53を形成し

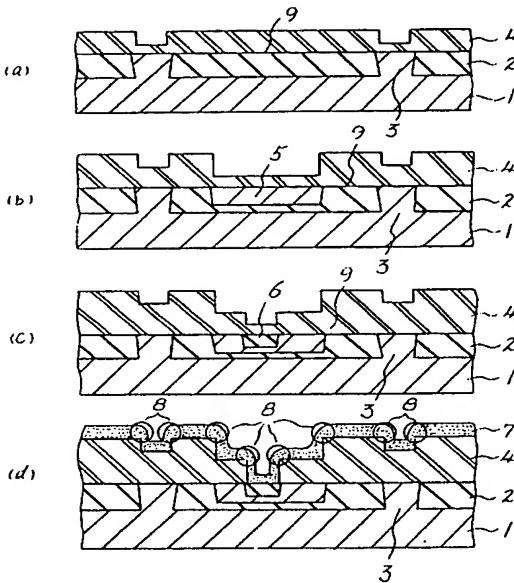
て、開口以外の導体層を除去し、プレーナ型配線を適用する場合がある。この場合も塗布層54を導体層53上に設置し本発明を適用し、56のレベルまでエッティングを行なえば良い。

凹面の簡単な説明

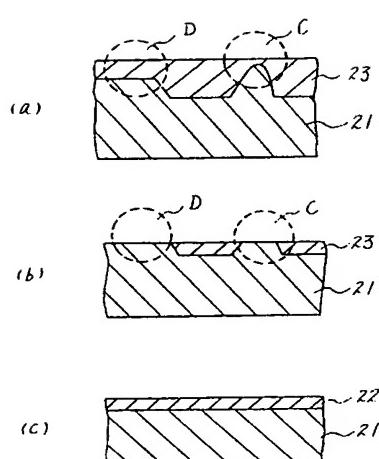
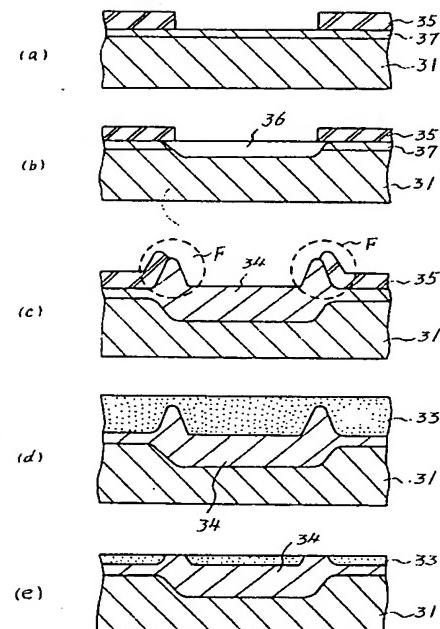
第1図は従来の半導体装置の製造方法の1例としてプレーナー技術を用いてのトランジスター製造工程を示す断面図、第2図は本発明の原理を説明する断面図、第3図はアイソ・プレーナ・ディバイスの製造に本発明を適用した場合の製造工程を示す断面図、第4図はプレーナ技術に本発明を適用する場合の説明用断面図、第5図は多層配線の形成に本発明を適用する場合の製造工程を示す断面図、第6図は埋込み型のプレーナ型配線に本発明を適用する場合の説明用断面図である。

代理人 井理士 薄田利幸

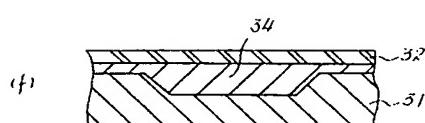
第1図



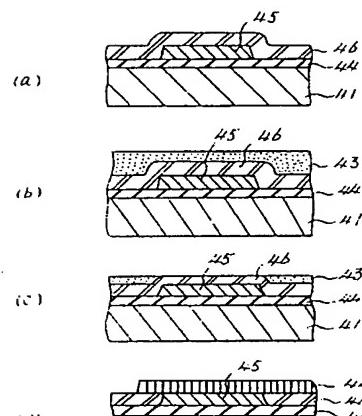
第2図

特開昭52-49772(8)
第3図

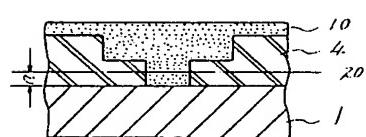
第3図



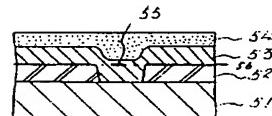
第5図



第4図



第6図



特開昭52-49772(9)

添附書類の目録

(1) 例	明	書	1通
(2) 付	面	1通	
(3) 本	付	1通	(追つて補充)
(4) 付	別	書	1通

・前記以外の発明者、特許出願人または代理人

発明者

住 所 東京都小平市上水本町ノ450番地
 株式会社 日立製作所 武藏工場内
 氏 名 加地 忠雄